

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 02-162912

(43)Date of publication of application : 22.06.1990

(51)Int.Cl.

H03H 7/06

(21)Application number : 63-317680

(71)Applicant : NIPPON TELEGR &amp; TELEPH CORP &lt;NTT&gt;

(22)Date of filing : 16.12.1988

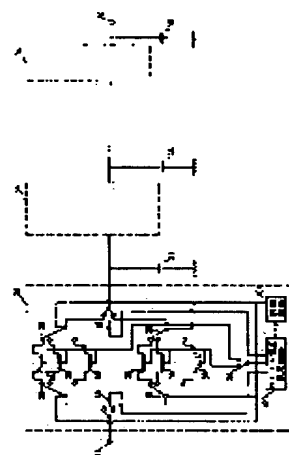
(72)Inventor : TANO SATORU  
SAWAHASHI MAMORU

## (54) FILTER CIRCUIT

## (57)Abstract:

PURPOSE: To expand the range of varying the filter frequency characteristic and to improve the accuracy by providing MOSFETs with different sizes in a variable resistor circuit and using the MOSFETs while selecting them.

CONSTITUTION: A filter circuit is provided with a capacitor 35 and a MOSFET variable resistor circuit 34, which is provided with a MOSFET circuit 39 whose source and drain are used as a resistor couple, a bias voltage setting circuit 100 as a control means controlling the resistance of the resistor by the source- gate voltage of the MOSFET circuit 39 and with a control circuit 101. The MOSFET circuit 39 includes plural MOSFETs whose sizes differ from each other and a changeover means used by switching the plural MOSFETs by the control of the control circuit 101.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the  
examiner's decision of rejection or application  
converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of  
rejection][Date of requesting appeal against examiner's decision  
of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

**THIS PAGE BLANK (USPTO)**

⑬ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平2-162912

⑤ Int. Cl.<sup>5</sup>

識別記号

庁内整理番号

④ 公開 平成2年(1990)6月22日

H 03 H 7/06

7328-5 J

審査請求 未請求 請求項の数 1 (全11頁)

⑥ 発明の名称 フィルタ回路

② 特 願 昭63-317680

② 出 願 昭63(1988)12月16日

⑦ 発 明 者 田 野 哲 東京都千代田区内幸町1丁目1番6号 日本電信電話株式会社内

⑦ 発 明 者 佐 和 橋 衛 東京都千代田区内幸町1丁目1番6号 日本電信電話株式会社内

⑧ 出 願 人 日本電信電話株式会社 東京都千代田区内幸町1丁目1番6号

④ 代 理 人 弁理士 井出 直孝

## 明 細 書

### 1. 発明の名称

フィルタ回路

### 2. 特許請求の範囲

#### 1. コンデンサおよび可変抵抗回路を備え、

この可変抵抗回路は、

ソースとドレインとの間が抵抗体として用いられるMOSFET回路と、

このMOSFET回路のゲート・ソース間電圧により前記抵抗体の抵抗値を制御する制御手段とを含む

フィルタ回路において、

前記MOSFET回路は、

互いに寸法の異なる複数のMOSFETと、

前記制御手段の制御により前記複数のMOSFETを切り替えて使用する切替手段とを含む

ことを特徴とするフィルタ回路。

### 3. 発明の詳細な説明

#### 〔産業上の利用分野〕

本発明は電氣的制御信号によりフィルタ周波数特性を可変に設定可能なフィルタ回路に関する。

本発明は、可変抵抗回路としてMOSFETを用いた周波数特性が可変のフィルタ回路において、寸法の異なるMOSFETを用いることにより、抵抗値の可変範囲を拡大し、周波数特性の可変領域を拡大するものである。

#### 〔従来の技術〕

集積可能でフィルタ周波数特性が可変のアナログフィルタ回路としては、RCアクティブフィルタ、スイッチトキャパシタフィルタ(以下「SCF」という)、MOSFETアナログフィルタなどが知られている。

第11図にRCアクティブフィルタの回路構成例を示す。

RCアクティブフィルタのフィルタ周波数特性を変化させるには、抵抗あるいは容量を変化させる必要がある。第11図に示した例は、抵抗を変化

させる場合の例を示す。すなわちこのRCアクティブフィルタは、入力端子1と出力端子2との間の可変抵抗回路3、4、コンデンサ5、6および演算増幅器7により構成される。

第12図は可変抵抗回路3、4の一例を示す。

集積化可能な可変抵抗回路は、抵抗値が異なる複数の抵抗を切り替えることで実現される。第12図に示した例では、抵抗値が異なる抵抗10、11、12のいずれかをスイッチ13で選択することにより、抵抗端子8、9間の抵抗値が変化する。

しかし、RCアクティブフィルタは、集積化した場合に抵抗と容量の素子感度が大きい。このため、設計値からの誤差、素子の温度偏差が大きく、高精度のフィルタ回路を製造することは困難である。また、抵抗切替による可変抵抗回路は、集積化したときにICチップ上で大きな面積を占める抵抗を複数使用するため、面積が大きくなる欠点がある。

周波数特性が可変でしかもモノリシックICへの集積化が容易な回路として、SCFが知られて

いる。SCFでは、周期的に開閉するスイッチとコンデンサとにより等価的に抵抗を実現する。SCFの伝達特性は、標本化容量と積分容量との容量比と、スイッチング周波数とにより決定される。このため、MOSプロセス技術を用いることにより、誤差1%以下の精度で所望の特性を実現できる。

SCFの問題点としては、サンプル値系フィルタであるため、クロック周波数 $f_c$ の整数倍を中心として信号成分が現れる折り返し現象が生じることがある。この現象により生じる折り返し信号を除去するためには、プリフィルタおよびポストフィルタが必要となる。これらのプリフィルタおよびポストフィルタは、通常はRCアクティブフィルタで構成される。このため、集積化した場合の精度が低下する。確実に折り返し信号を除去するには、フィルタの次数を増加させて遮断特性を急峻にするか、あるいはSCFのクロック周波数を高く設定する必要がある。しかし、RCアクティブフィルタの次数が増加すると回路が非常に複

雑になり、クロック周波数を高くすると消費電力が増大する欠点がある。

また、SCFはクロック周波数を変化させることでフィルタ周波数特性を変化させることができるが、同時に、プリフィルタとポストフィルタのフィルタ周波数特性も可変にする必要がある。通常はプリフィルタとポストフィルタをRCアクティブフィルタで構成するため、フィルタ周波数特性の変化を可能とするには、前述したように、集積化した場合の面積が非常に大きくなる欠点がある。

MOSFETアナログフィルタは、RCアクティブフィルタの抵抗をMOSFETにより構成された抵抗回路で置き換えた連続時間系フィルタであり、MOSプロセス技術により高精度のフィルタを製造できる。また、MOSFETアナログフィルタは、MOSFET抵抗回路の抵抗値を変化させることにより、フィルタ周波数特性を可変に設定できる。

第13図はMOSFETのドレイン・ソース間電

圧に対するドレイン電流特性を示す。

MOSFET抵抗回路は、MOSFETをゲート・ソース間電圧によりドレイン電流が制御される電圧制御抵抗素子として用いるものである。MOSFET抵抗回路は、抵抗体としてのMOSFETと、MOSFETをバイアス電圧設定回路と抵抗回路とに切り替えるアナログスイッチとにより構成される。

第14図に二つのMOSFETを用いたMOSFET抵抗回路の一例を示す。

このMOSFET抵抗回路は、アナログスイッチ16~25と、MOSFET26、27、MOSFET26、27のゲート・ソース間のバイアス電圧をそれぞれ保持するための容量28、29、およびMOSFET26、27のゲート・ソース間のバイアス電圧を設定するバイアス電圧設定回路30を備える。アナログスイッチ16~20とアナログスイッチ21~25とは、同時に論理「1」が重なることのない相補的クロック信号により駆動される。

第一の状態では、MOSFET26はアナログス

スイッチ16と19を介してそれぞれ抵抗端子14、15に接続される。MOSFET27のドレイン、ゲートおよびソースは、それぞれアナログスイッチ17、18および20を介して、バイアス電圧設定回路30に接続される。

第二の状態では、MOSFET27はアナログスイッチ21、24を介してそれぞれ抵抗端子14、15に接続される。MOSFET26のドレイン、ゲートおよびソースは、それぞれアナログスイッチ22、23および25を介して、バイアス電圧設定回路30に接続される。

抵抗端子14と15との間の抵抗値は、MOSFET26、27が入れ替わっても常に同じ値となる。

このMOSFET抵抗回路において、例えば電源電圧の高電位側を5Vとし、低電位側を0Vとすると、バイアス電圧設定回路30により実際に与えられるゲート・ソース間のバイアス電圧の範囲は1.5～3.5V程度である。MOSFETの線形抵抗とみなせる領域での抵抗値Rと、最大抵抗値 $R_{max}$ と最低抵抗値 $R_{min}$ の比と、抵抗値のゲ

ート・ソース間電圧による導関数とは、

$$R = A / (V_g - V_T) \quad (1)$$

$$\frac{R_{max}}{R_{min}} = \frac{V_{max} - V_{min}}{V_{min} - V_T} + 1 \quad (2)$$

$$dR = -A / (V_g - V_T)^2 \cdot dV_g \quad (3)$$

で表される。ここで、 $V_{max}$ と $V_{min}$ は、それぞれゲート・ソース間のバイアス電圧の上限と下限を表し、 $V_T$ と $V_g$ は、それぞれMOSFETのゲート反転電圧とゲート・ソース間電圧を表す。 $dR$ と $dV_g$ は抵抗値とゲート電圧のそれぞれの微小変化を表す。AはMOSFETの寸法により決定される定数である。

式(1)に示すように、一定のゲート・ソース間電圧に対して、MOSFETの抵抗値は寸法により決定されるAの値に比例し、ゲート・ソース間電圧とゲート反転電圧との差に反比例する。また、式(2)に示すように、ある寸法のMOSFETが実現できる最大と最小の抵抗値の比は、ゲート・ソース間のバイアス電圧の範囲によって決定される。この一方で、式(3)に示すように、MOSFETの

抵抗値は、MOSFETの寸法により決定されるAの値に比例し、ゲート・ソース間電圧とゲート反転電圧との差の二乗に反比例して、ゲート・ソース間電圧の変動により変化する。

したがって、フィルタの周波数特性の可変範囲を決定するMOSFETの抵抗値の比は、ゲート電圧の範囲と、ゲート反転電圧とゲート・ソース間の最低電圧との差とにより決定される。すなわち、ゲート反転電圧とゲート・ソース間の最低電圧との差が小さいか、あるいは、ゲート・ソース間のバイアス電圧の範囲が広い場合に、MOSFETの抵抗値の比が大きな値となる。

しかし、ゲート反転電圧とゲート・ソース間の最低電圧との差が小さい場合には、ゲート・ソース間電圧の微小変動に対して抵抗値が大きく変動して精度が劣化する。また、ゲート・ソース間のバイアス電圧の範囲は、前述のように電源電圧により決定される。このため、抵抗値の比により決定されるフィルタ周波数特性の可変範囲の拡大には限度がある。

#### 〔発明が解決しようとする問題点〕

以上説明したように、MOSFETアナログフィルタで実現できるフィルタ周波数特性の可変範囲は、内蔵されたMOSFET抵抗回路で実現できる抵抗値の範囲により決定される。MOSFET抵抗回路の抵抗値の範囲は、ある寸法のMOSFETを単独で用いた場合に、バイアス電圧設定回路の出力の上限と下限とにより決定される。

したがって、バイアス電圧設定回路での出力電圧の範囲とMOSFETの種類とによって決定されるフィルタ周波数特性以上には、可変範囲を拡大することができない。特に、集積化した場合には電源電圧が小さいことが望ましく、フィルタ周波数特性の可変範囲を拡大することは困難である。

また、バイアス電圧設定回路の出力電圧範囲が拡大されたとしても、一定のゲート・ソース間バイアス電圧に対して高い抵抗値を示すMOSFETは、バイアス電圧の微小変動に対して抵抗値が大きく変動し、フィルタ周波数特性の精度が低下する欠点がある。

本発明は、以上の問題点を解決し、フィルタ周波数特性の可変範囲が広く、かつ精度の高いフィルタ回路を提供することを目的とする。

〔問題点を解決するための手段〕

本発明のフィルタ回路は、可変抵抗回路内に互いに寸法の異なるMOSFETを備え、これらのMOSFETを切り替えて使用することを特徴とする。

〔作用〕

寸法の異なるMOSFETを切り替えて使用することにより、上述した式(1)および(3)のAの値を可変に設定できる。したがって、抵抗値の可変範囲を拡大でき、フィルタ周波数特性の可変範囲を拡大することができる。

〔実施例〕

第1図は本発明第一実施例のフィルタ回路の回路構成を示す。この実施例は、低域通過フィルタに本発明を実施したものである。

このフィルタ回路は、コンデンサ35およびMOSFET可変抵抗回路34を備え、このMOSFET

T可変抵抗回路34は、ソースとドレインとの間が抵抗体として用いられるMOSFET回路39と、このMOSFET回路39のソース・ゲート間電圧により抵抗体の抵抗値を制御する制御手段としてのバイアス電圧設定回路100 および制御回路101と備える。

ここで本実施例の特徴とするところは、MOSFET回路39が、互いに寸法の異なる複数のMOSFETと、制御回路101の制御により複数のMOSFETを切り替えて使用する切替手段とを含むことにある。

第2図はMOSFET可変抵抗回路34の詳細を示す。このMOSFET可変抵抗回路34は、 $n$ 個の入力側抵抗端子36と、それぞれに対応する出力側抵抗端子37との間で、 $n$ 個の抵抗を実現する。

アナログスイッチ38は、 $2k-1$ 番目 ( $k=1\sim n$ ) と $2k$ 番目とが同時に論理「1」になることのないように、相補的なクロック信号で駆動される。この論理「1」が「0」になるまでの時間を $T$ とする。 $2k-1$ 番目と $2k+1$ 番目のアナログスイッチ38は、

論理「1」になる時間が $T/n$ だけずれている。

バイアス電圧設定回路100に接続されるアナログスイッチ38は、向かい合うアナログスイッチ38(入力側抵抗端子36に接続されたアナログスイッチ38)が論理「1」になる直前の $T/n$ の間だけ、論理「1」となる。

このようにして、 $k$ 番目の入力側抵抗端子36は、第一のタイミングでは、入力側の $2k$ 番目のアナログスイッチ38、 $2k$ 番目のMOSFET回路39および出力側の $2k$ 番目のアナログスイッチ38を介して、 $k$ 番目の出力側抵抗端子37に接続される。第二のタイミングでは、入力側の $2k-1$ 番目のアナログスイッチ38、 $2k-1$ 番目のMOSFET回路39および出力側の $2k-1$ 番目のアナログスイッチ38を介して、 $k$ 番目の出力側抵抗端子37に接続される。 $2k$ 番目および $2k-1$ 番目のMOSFET回路39は、各タイミングの直前にバイアス電圧設定回路100に接続される。

第3図はMOSFET回路39の詳細を示す回路図である。

MOSFET回路39は、互いに寸法の異なる複数のMOSFET46と、制御回路101からの制御信号により複数のMOSFET46を切り替えて使用するアナログスイッチ45とを備える。

制御信号入力端子41には、制御回路101からの制御信号が入力される。抵抗端子42、43は、アナログスイッチ38を介して入力側抵抗端子36および出力側抵抗端子37に接続されるか、または、アナログスイッチ38を介してバイアス電圧設定回路100に接続される。バイアス電圧入力端子44には、バイアス電圧設定回路100からゲート電圧が入力される。ゲート・ソース間のバイアス電圧は、コンデンサ47により保持される。

アナログスイッチ45は、制御信号入力端子41に入力された制御信号により、MOSFET46のいずれか一つを抵抗端子42、43に接続する。

第4図はMOSFET可変抵抗回路34の別の例として、寸法の異なる二種類のMOSFETを含む回路を示す。

このMOSFET可変抵抗回路は、抵抗端子48、

49、アナログスイッチ50～67、MOSFET68～71、ゲート・ソース間のバイアス電圧を保持するためのコンデンサ72、73、ゲート・ソース間のバイアス電圧を設定するバイアス電圧設定回路74、およびMOSFET68～71の切替を制御する制御回路75を備える。MOSFET68と70は同じ寸法であり、MOSFET69と71もまた同じ寸法である。ただし、MOSFET68、70と、MOSFET69、71とは寸法が異なる。

第5図は第4図に示した回路の動作タイミングチャートを示す。ここでは、MOSFETの切替制御をバイアス電圧設定回路74の出力電圧による行う例について説明する。

バイアス電圧設定回路74の出力電圧が上側しきい値電圧に達すると、制御回路75は、アナログスイッチ60～63をオン状態とする。また、バイアス電圧設定回路74の出力電圧が下側しきい値電圧に達した場合には、アナログスイッチ60～63をオフ状態とする。アナログスイッチ60～63と64～67とは、相補的なクロック信号により制御される。ア

ナログスイッチ50～54と55～59については、同時に論理「1」となることのない相補的なクロック信号により駆動する。

バイアス電圧設定回路74の出力電圧が上側しきい値電圧に達してから下側しきい値電圧に達するまでの間のうちの第一の状態、すなわちアナログスイッチ60～63がオン状態、アナログスイッチ50～54がオン状態のときには、抵抗端子48と49との間が、アナログスイッチ50、60、MOSFET68およびアナログスイッチ62、53を経由して接続される。MOSFET68のゲート・ソース間には、コンデンサ72からバイアス電圧が供給される。

このとき、MOSFET70のドレイン、ゲートおよびソースは、それぞれ、アナログスイッチ51と61、52、および63と54を介して、バイアス電圧設定回路74に接続される。MOSFET70のゲート・ソース間には、バイアス電圧設定用のコンデンサ73が接続され、バイアス電圧設定回路74から供給されるゲート・ソース間のバイアス電圧を蓄える。

バイアス電圧設定回路74の出力電圧が上側しきい値電圧に達してから下側しきい値電圧に達するまでの間のうちの第二の状態、すなわちアナログスイッチ60～63がオン状態、アナログスイッチ55～59がオン状態のときには、抵抗端子48と49との間が、アナログスイッチ55、61、MOSFET70、アナログスイッチ63、58を経由して接続される。MOSFET70のゲート・ソース間には、コンデンサ73からバイアス電圧が供給される。

このとき、MOSFET68のドレイン、ゲートおよびソースは、それぞれ、アナログスイッチ56と60、57、および62と59を介して、バイアス電圧設定回路74に接続される。MOSFET68のゲート・ソース間には、バイアス電圧設定用のコンデンサ72が接続され、バイアス電圧設定回路74から供給されるゲート・ソース間のバイアス電圧を蓄える。

バイアス電圧設定回路74の出力電圧が下側しきい値電圧に達してから上側しきい値電圧に達するまでの間のうちの第一の状態、すなわちアナログ

スイッチ64～67がオン状態、アナログスイッチ50～54がオン状態のときには、抵抗端子48と49との間が、アナログスイッチ50、64、MOSFET69およびアナログスイッチ66、53を経由して接続される。MOSFET69のゲート・ソース間には、コンデンサ72からバイアス電圧が供給される。

このとき、MOSFET71のドレイン、ゲートおよびソースは、それぞれ、アナログスイッチ51と65、52、および67と54を介して、バイアス電圧設定回路74に接続される。MOSFET71のゲート・ソース間には、バイアス電圧設定用のコンデンサ73が接続され、バイアス電圧設定回路74から供給されるゲート・ソース間のバイアス電圧を蓄える。

バイアス電圧設定回路74の出力電圧が下側しきい値電圧に達してから上側しきい値電圧に達するまでの間のうちの第二の状態、すなわちアナログスイッチ64～67がオン状態、アナログスイッチ55～59がオン状態のときには、抵抗端子48と49との間が、アナログスイッチ55、65、MOSFET71、

アナログスイッチ67、58を経由して接続される。MOSFET71のゲート・ソース間には、コンデンサ73からバイアス電圧が供給される。

このとき、MOSFET69のドレイン、ゲートおよびソースは、それぞれ、アナログスイッチ56と64、57、および66と59を介して、バイアス電圧設定回路74に接続される。MOSFET69のゲート・ソース間には、バイアス電圧設定用のコンデンサ72が接続され、バイアス電圧設定回路74から供給されるゲート・ソース間のバイアス電圧を蓄える。

抵抗端子48と49との間には、バイアス電圧設定回路74の出力電圧が上側しきい値電圧に達してから下側しきい値電圧に達するまでは、第一の状態と第二の状態とで同じ寸法のMOSFET68、70が相補的に接続される。また、バイアス電圧設定回路74の下側しきい値電圧に達してから上側しきい値電圧に達するまでは、第一の状態と第二の状態とで、MOSFET68、70とは寸法が異なるが互いに同じ寸法のMOSFET69、71が相補的に

接続される。MOSFET68、70とMOSFET69、71とは、制御回路75からの相補的制御信号により切り替えられる。したがって、このMOSFET可変抵抗回路を用いたフィルタ回路は、連続時間系フィルタとして利用できる。

第6図は互いに寸法の異なる二種類のMOSFETを使用した場合のドレイン・ソース間電圧に対するドレイン電流の特性を示す。

単独のMOSFETのドレイン・ソース間電圧に対するドレイン電流の特性については、第13図に示した。MOSFETはゲート・ソース間電圧によりドレイン電流を制御する電圧制御抵抗素子であり、その非飽和領域を抵抗値領域として用いる。

寸法の異なるMOSFETとしてFET(1)とFET(2)を用いた場合の抵抗値は、ゲート・ソース間電圧範囲 $V_{min} \sim V_{max}$ に対して、それぞれ異なる領域をとる。したがって、この二種類のMOSFETを切り替えることで、双方の領域の抵抗値を得ることができる。

第7図はMOSFETのゲート・ソース間電圧に対する抵抗値の特性を示す。

MOSFET(1)、(2)をそれぞれ単独で用いた場合には、同一のゲート・ソース間電圧範囲 $V_{min} \sim V_{max}$ における可変抵抗範囲はそれぞれ $R_1 \sim R_2$ 、 $R_2 \sim R_4$ である。これに対して、二種類のMOSFET(1)、(2)を切り替えることで、可変抵抗値範囲を $R_1 \sim R_4$ に拡大できる。

このような最小と最大の抵抗値の比 $R_1/R_4$ を一種類のMOSFETで実現しようとする、式(3)により抵抗の精度が劣化する。したがって、本発明により抵抗値の範囲を拡大でき、しかも精度が向上する。

第8図はバイアス電圧設定回路の一例を示す。

MOSFETアナログフィルタの一例として、IEEEトランザクション・オン・サーキット・アンド・システムズ、第CAS-29巻第5号、1982年5月 (IEEE TRANSACTION ON CIRCUITS AND SYSTEMS, Vol. CAS-29, No. 5, May 1982) に、スイッチトレジスタフィルタ回路が提案されている。このスイ

ッチトレジスタフィルタ回路は、MOSFET可変抵抗回路のバイアス電圧設定回路に、スイッチトキャパシタ積分器を用いている。このバイアス電圧設定回路の構成を第8図に示す。

入力端子76には基準入力電圧 $V_s$ が入力される。この電圧 $V_s$ は、アナログスイッチ77、標本化容量82、アナログスイッチ79を介して演算増幅器85の反転入力に供給される。アナログスイッチ77と標本化容量82との接続点はアナログスイッチ80を介して接地され、標本化容量82とアナログスイッチ79との接続点はアナログスイッチ78を介して接地され、演算増幅器85の非反転入力もまた接地される。演算増幅器85の非反転入力と出力とは積分容量83を介して接続される。

入力端子76と演算増幅器85の反転入力とは、N形MOSFET81のソースとドレインとに接続される。MOSFET81のゲートには演算増幅器85の出力が接続される。MOSFET81のゲート・ソース間には、バイアス電圧保持のためのコンデンサ84が接続される。



アナログスイッチ77、78と79、80とは、互いに同時に論理「1」となることのない相補的なクロック信号を入力する。このとき、アナログスイッチ77～80と標本化容量83とにより、等価抵抗が実現される。

この等価抵抗の値は、平行状態においてMOSFET81の抵抗値 $R_{FEET}$ と等しくなる。このとき、

$$R_{FEET} = 1 / (C_u \cdot f_s) \quad \text{..... (4)}$$

となる。すなわち、MOSFET81の抵抗値 $R_{FEET}$ が、標本化容量82の容量値 $C_u$ と、クロック周波数 $f_s$ とにより決定される。スイッチトレジスタ回路では、このバイアス電圧設定回路のクロック周波数を用いて、寸法の異なるMOSFETを切り替えるための制御信号とすることができる。

第9図は本発明第二実施例フィルタ回路の構成を示す。この実施例は、スイッチトレジスタフィルタ回路に本発明を実施したものである。

入力端子86は、スイッチトレジスタ回路88、89、90および演算増幅器91を介して出力端子87に接続される。演算増幅器91の出力端子は、演算増幅器

の反転入力に接続されるとともに、コンデンサ93を介して、スイッチトレジスタ回路89と90との接続点に帰還される。スイッチトレジスタ88と89との接続点、およびスイッチトレジスタ回路90と演算増幅器91との接続点は、それぞれコンデンサ92、94を介して接地される。スイッチトレジスタ回路88～90は、前述のMOSFET可変抵抗回路におけるバイアス電圧設定回路として、第8図に示した回路を用いたものである。すなわち、寸法の異なるMOSFETを含む。このMOSFETを切り替えるために、スイッチトレジスタ回路88～90にはそれぞれ制御回路95が接続される。

スイッチトレジスタフィルタ回路は、スイッチトキャパシタフルタ回路と同様に、電圧制御抵抗素子としてのMOSFETのゲート・ソース間電圧を制御することでフィルタ周波数特性を変化させることができる可変帯域フィルタであり、連続時間系フィルタである。このため、スイッチトキャパシタフィルタのような折り返し雑音がなく、ポストフィルタやプリフィルタを必要としない。

したがって、集積化した場合に、高精度のフィルタを得ることができる。

スイッチトレジスタ回路は、NチャネルMOSFETを用いた場合に、ゲート・ソース間の電圧が高いほど小さい抵抗値を実現でき、電圧が低いほど大きい抵抗値を実現できる。スイッチトレジスタフィルタ回路の遮断周波数 $f$ は抵抗値と反比例し、

$$f = k / (2 \pi R) \quad \text{..... (5)}$$

で表される。kはコンデンサによって決定される比例定数であり、Rはスイッチトレジスタにより実現される抵抗値を表す。

第10図は遮断周波数の変化を示す。

寸法の異なる二種類のMOSFET(1)、(2)を単独で用いた場合には、その抵抗値範囲に対して遮断周波数はそれぞれ $f_1 \sim f_2$ 、 $f_2 \sim f_1$ であるのに対し、二種類のMOSFET(1)、(2)を切り替えることにより、遮断周波数領域が $f_1 \sim f_1$ に拡大される。

このように、可変抵抗値の範囲を拡大すること

により、スイッチトレジスタフィルタ回路の周波数領域を拡大でき、精度の高いMOSFET可変抵抗回路を用いるためフィルタ周波数特性の精度が高くなる。

#### 〔発明の効果〕

以上説明したように、本発明のフィルタ回路は、フィルタ周波数特性を変化させることのできる範囲が拡大し、しかも精度を高めることができる効果がある。また、抵抗値、さらには周波数特性をフィルタ内部の制御回路からの電氣的制御信号により変えることができるため、モノリシック集積化が容易である効果がある。

#### 4. 図面の簡単な説明

第1図は第一実施例のフィルタ回路の構成を示す図。

第2図はMOSFET可変抵抗回路の詳細を示す図。

第3図はMOSFET回路の詳細を示す回路図。

第4図はMOSFET可変抵抗回路の別の例を

示す図。

第5図は動作タイミングチャートを示す図。

第6図はドレイン・ソース間電圧に対するドレイン電流の特性を示す図。

第7図はMOSFETのゲート・ソース間電圧に対する抵抗値の特性を示す図。

第 8 図はバイアス電圧設定回路の一例を示す図。

第9図は本発明第二実施例フィルタ回路の構成を示す図。

第10図は透断周波数の変化を示す図。

第11図はRCアクティブフィルタの回路構成例を示す図。

第12図は抵抗切替による可変抵抗回路の一例を示す図。

第13図はMOSFETのドレイン・ソース間電圧に対するドレイン電流特性を示す図。

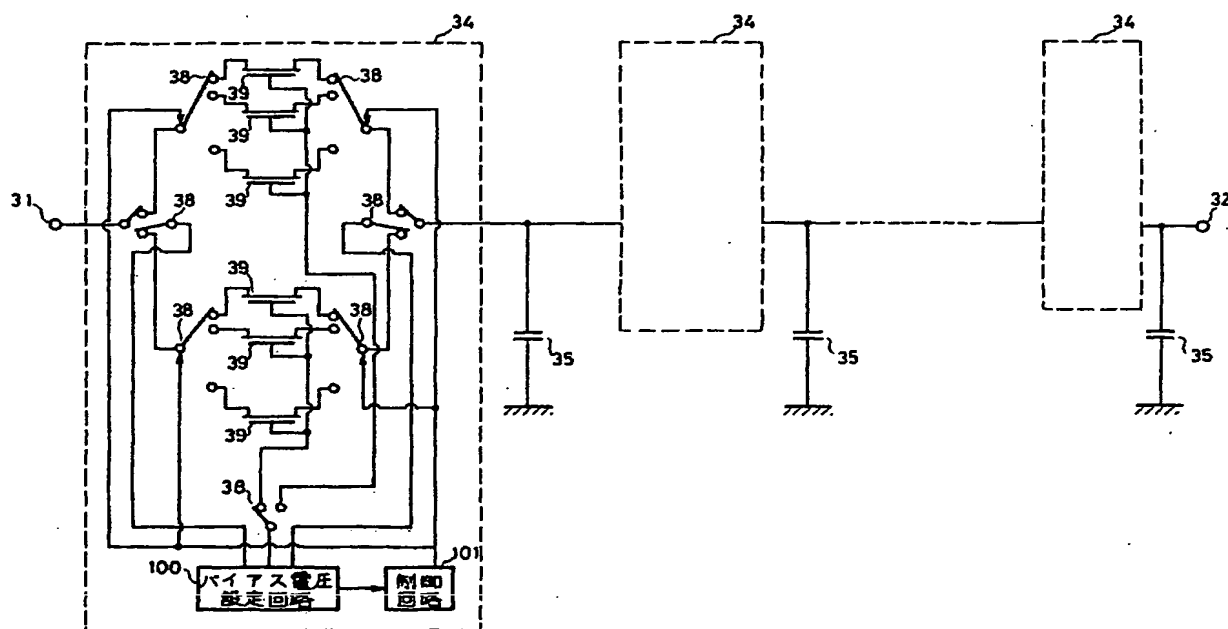
第14図に二つのMOSFETを用いたMOSFET抵抗回路の一例を示す図。

1、76、86…入力端子、2、87…出力端子、3、  
4…可変抵抗回路、5、6、35、47、72、73、84、

92～94…コンデンサ、7、85、91…演算増幅器、  
8、9、14、15、42、43、48、49…抵抗端子、10  
～13…抵抗、13…スイッチ、16～25、38、45、50  
～67、77～80…アナログスイッチ、26、27、46、  
68～71、81…MOSFET、28、29…容量、30、  
74、100…バイアス電圧設定回路、34…MOSF  
ET可変抵抗回路、36…入力側抵抗端子、37…出  
力側抵抗端子、39…MOSFET回路、41…制御  
信号入力端子、44…バイアス電圧入力端子、75、  
95、101…制御回路、82…標準化容量、83…積分  
容量、88～90…スイッチトレジスタ回路。

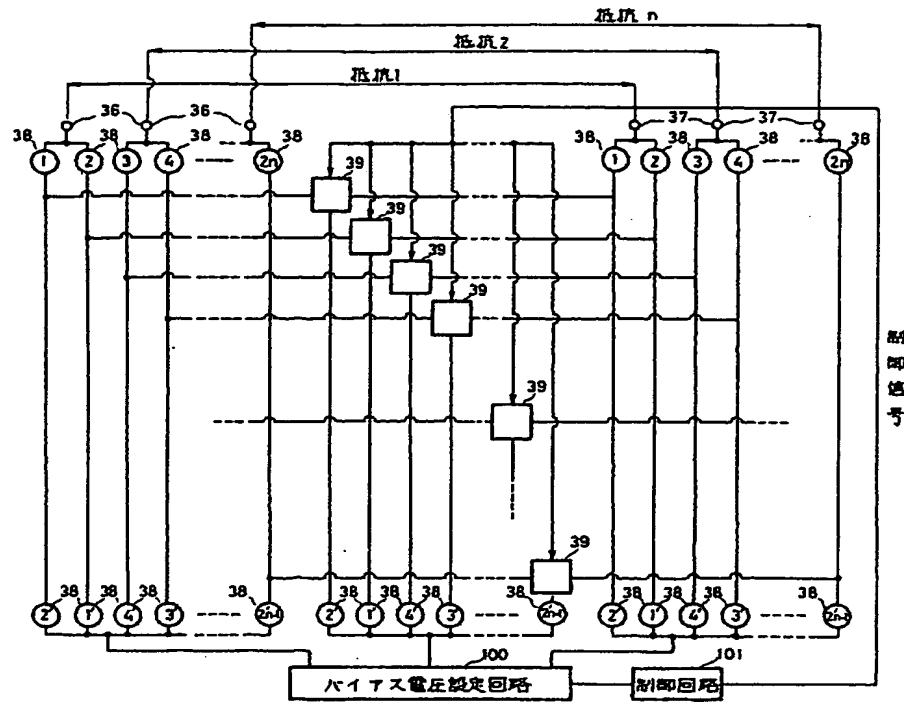
特許出願人 日本電信電話株式会社

代理人 弁理士 井 出 直 孝

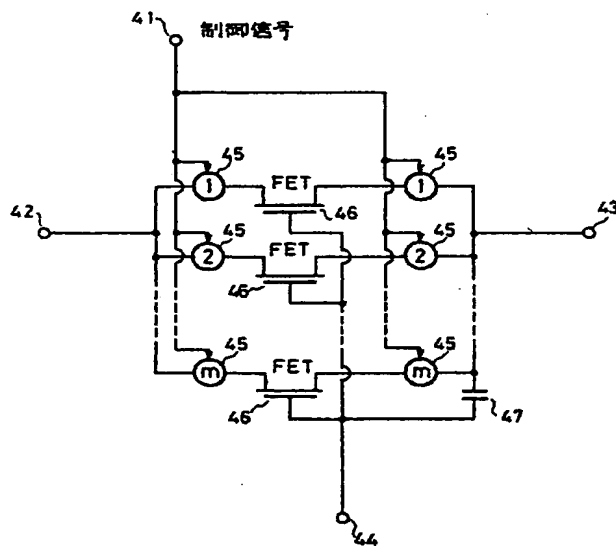


### 第一実例例 Tナログフィルタ回路

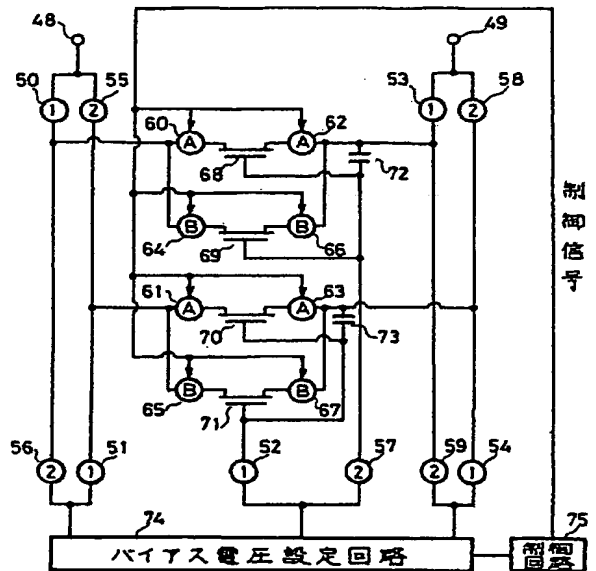
第 1 圖



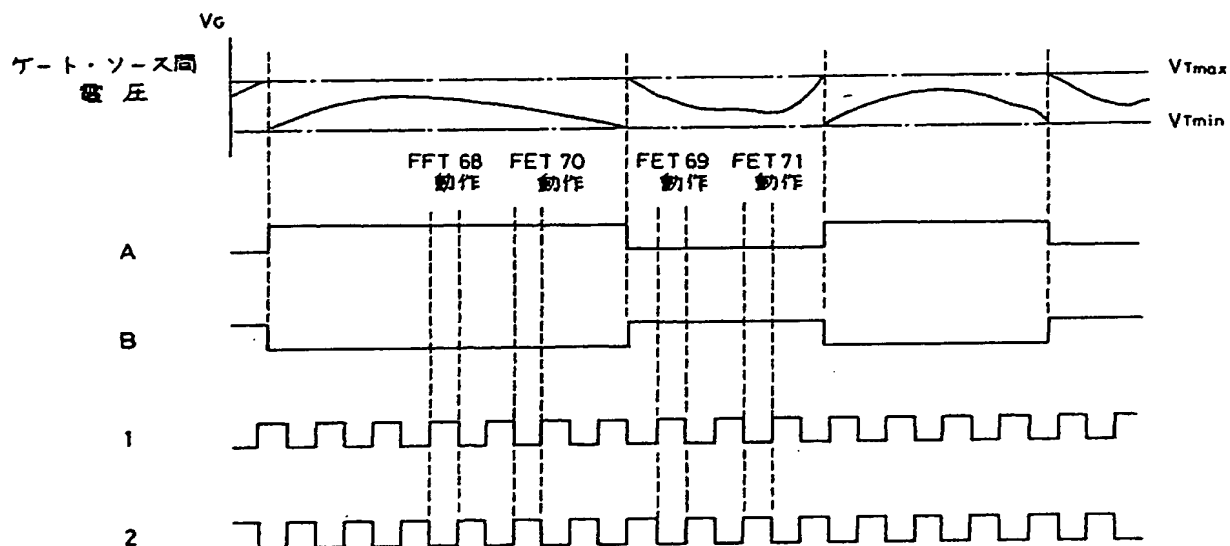
第2図 可変抵抗回路



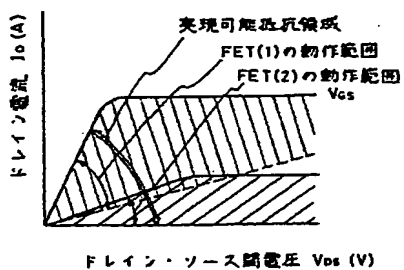
第3図 MOSFET回路



第4図 可変抵抗回路

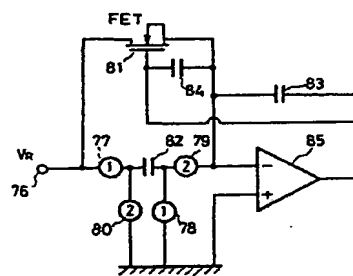


可変抵抗回路の動作  
第 5 図

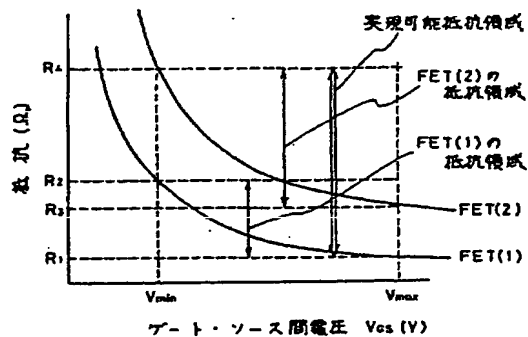


ドレイン・ソース間電圧  $V_{ds}$  (V)

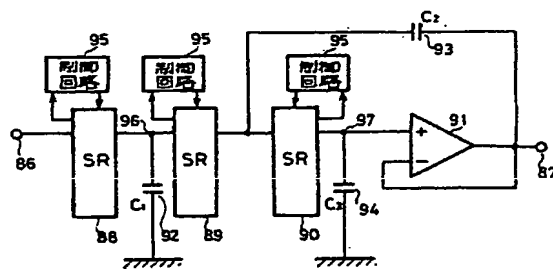
第 6 図



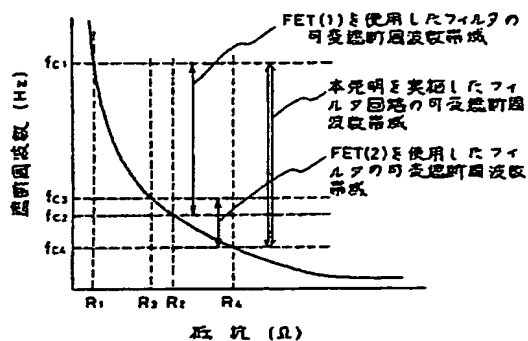
電圧設定回路  
第 8 図



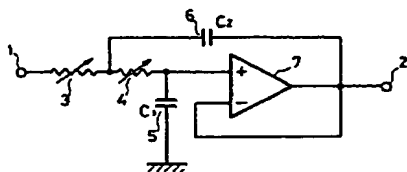
第 7 図



本発明第 2 実施例  
第 9 図

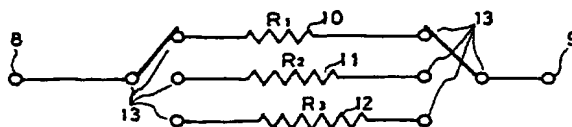


第 10 図



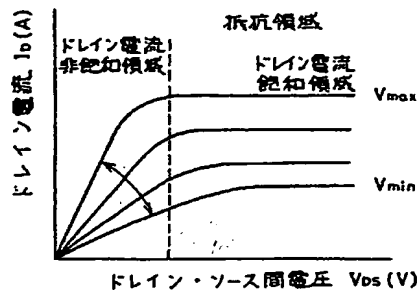
可変抵抗RCアクティブフィルタ回路

第 11 図



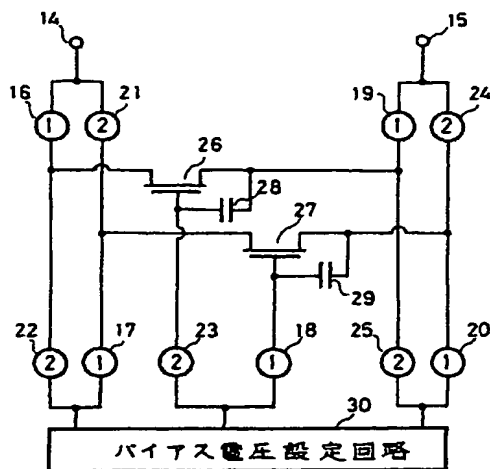
低抵抗切替による可変抵抗回路

第 12 図



MOSFET のドレイン電流特性

第 13 図



MOSFETを使用した従来例 低抵抗回路

第 14 図

**THIS PAGE BLANK (USPTO)**